

**MANUFACTURE OF BIPOLAR INTEGRATED CIRCUIT**

Patent Number: JP6252352  
Publication date: 1994-09-09  
Inventor(s): YOSHIDA YOSHIHIRO  
Applicant(s):: NEC YAMAGATA LTD  
Requested Patent: ☐ JP6252352  
Application Number: JP19930040808 19930302  
Priority Number(s):  
IPC Classification: H01L27/06  
EC Classification:  
Equivalents: JP3001340B2

**Abstract**

**PURPOSE:** To develop a process with a small number of steps by a method wherein in a method of manufacturing a capacitor, which is the passive element out of the elements of a semiconductor device, the capacitor is simultaneously formed when the other elements are formed.

**CONSTITUTION:** An oxide film 5 for element isolation is selectively formed in an N-type epitaxial layer 3 on a P-type semiconductor substrate 2 and thereafter, when N-type impurities 9 are introduced as impurities to be introduced in a collector 7 of an N-P-N transistor, the impurities are simultaneously introduced also in a capacitor region 8 and a lower electrode of a capacitor is formed. Then, an LP nitride film 11 is formed and moreover, a polycrystalline silicon film 12 is formed on the whole surface. After that, when a polycrystalline silicon resistor 13 is formed, the polycrystalline silicon film 12 and the film 11 other than the region 8 are simultaneously removed. By the above method, the capacitor can be formed at the same time as the time when other elements are formed and a shortening of a process possible.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3001340号  
(P3001340)

(45)発行日 平成12年1月24日(2000.1.24)

(24)登録日 平成11年11月12日(1999.11.12)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 21/8222  
27/06

H 0 1 L 27/06

1 0 1 D

請求項の数1(全 3 頁)

(21)出願番号 特願平5-40808

(22)出願日 平成5年3月2日(1993.3.2)

(65)公開番号 特開平6-252352

(43)公開日 平成6年9月9日(1994.9.9)

審査請求日 平成9年3月28日(1997.3.28)

(73)特許権者 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72)発明者 吉田 善裕

山形県山形市北町四丁目12番12号山形日  
本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

審査官 棚田 一也

(56)参考文献 特開 平1-133348 (J P, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, D B名)

H01L 27/04

H01L 27/06

H01L 21/8222

(54)【発明の名称】 バイポーラ集積回路の製造方法

1

(57)【特許請求の範囲】

【請求項1】 半導体基板上に第1絶縁膜を成膜する工程と、コンデンサ領域とバイポーラトランジスタの拡散層形成予定領域の前記第1絶縁膜を同時に除去し開口する工程と、前記開口部に所望の不純物を導入し、バイポーラトランジスタの拡散層と同時に、コンデンサの下部電極を形成する工程と、誘電体としての第2絶縁膜を全面に成膜する工程と、多結晶シリコン膜を全面に成膜する工程と、前記多結晶シリコン膜、及び前記第2絶縁膜をフォトリソグラフィ技術により一度で同時にエッチングし、多結晶シリコン抵抗、及びコンデンサの上部電極を同時に形成する工程とを含むことを特徴とするバイポーラ集積回路の製造方法。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明はバイポーラ集積回路の製造方法に関し、特にバイポーラ集積回路の半導体素子と同一基板上に受動素子であるコンデンサを形成する方法に関する。

【0002】

【従来の技術】 従来のコンデンサの形成方法を図2を用いて示す。N型埋込領域1を有するP型半導体基板2上にN型エピタキシャル層3を成長し、選択的に任意の部分にP型絶縁領域4を形成する。次に素子分離の為の酸化膜5を選択的に形成し、次に素子分離領域以外の領域に約80nmの熱酸化膜6を成長し、NPNトランジスタのコレクタ7とコンデンサ領域8を選択的に開口する。次に図2(b)の様に、N型不純物9として、開口部にリンをドーピングする。約100nmの酸化膜10を成長し、次にコンデンサ領域8のみ、酸化膜10を除去す

## 3

る。次にコンデンサの誘電膜として減圧CVD法による窒化膜(以下LP窒化膜11と呼ぶ)を約50nm成長させ、電極引き出し部のLP窒化膜11を除去する。次に図2(c)の様に、多結晶シリコン12を約150nm成長後、多結晶シリコン抵抗13とコンデンサ上以外の領域を選択的に除去する。次に図2(d)の様に、ベース14とエミッタ15を形成し、絶縁膜としてBPSG膜18を約1μm成長後、電極引き出し部にAl膜16を配線する。

## 【0003】

【発明が解決しようとする課題】従来のコンデンサの形成方法では、従来の技術で示した様に、誘電膜を形成する領域をパターンニングする為だけに、従来の技術の図2(b)の構造にする様な一回のフォトリソグラフィによる一連の工程を設けていた。そのため、工程数が多く、製造工期が長くなるという欠点があった。

【0004】本発明の目的は、従来の欠点を除去し、半導体装置の受動素子のコンデンサを形成する時、他の素子と同時工程で形成し、工程数の少ないバイポーラ集積回路の製造方法を提供することにある。

## 【0005】

【課題を解決するための手段】本発明のバイポーラ集積回路の製造方法は、半導体基板上に第1絶縁膜を成膜する工程と、コンデンサ領域とバイポーラトランジスタ領域の拡散層形成予定領域の前記第1絶縁膜を同時に除去し開口する工程と、前記開口部に所望の不純物を導入し、バイポーラトランジスタの拡散層と同時にコンデンサの下層電極を形成する工程と、誘電体としての第2絶縁膜を全面に成膜する工程と、多結晶シリコン膜を全面的に成膜する工程と、前記多結晶シリコン膜、及び前記第2絶縁膜をフォトリソグラフィにより、一度で同時にエッチングし、多結晶シリコン抵抗、及びコンデンサの上部電極を同時に形成する工程とを含むことを特徴として構成される。

## 【0006】

【実施例】次に、本発明について、図面を参照して説明する。図1は本発明の一実施例を説明するために工程順に示した半導体素子の断面図である。

【0007】まず、図1(a)のように、N型埋込領域1を有するP型半導体基板2上にN型エピタキシャル層3を成長し、選択的に任意の部分にP型絶縁領域4を形成する。次に素子分離の為の酸化膜5を選択的に形成し、次に素子分離領域以外の領域に約80nmの熱酸化膜6を成長し、コンデンサ領域8をNPNトランジスタのコレクタ7と同時に、フッ酸等により、選択的にエッチングし開口する。

【0008】次にその開口部に図1(b)のように、N型不純物9として、イオン注入法により $5 \times 10^{15}$

## 4

$\text{cm}^{-2}$ のリンをドーブする。その後、コンデンサの誘電膜として、減圧CVD法により、LP窒化膜11を約50nm成長させる。

【0009】次に図1(c)のように、多結晶シリコン12を約250nm成長させ、一回のフォトリソグラフィによる一連の工程を用いて、多結晶シリコン抵抗13とコンデンサ領域をパターンニングする。この場合、多結晶シリコン12、及びLP窒化膜11を一度にエッチングする。

10 【0010】次に図1(d)のように、全面に約50nmの熱酸化膜17を成長後、ベース14とエミッタ15を形成し、絶縁膜としてBPSG膜18を約1μm成膜後、電極引き出し部にAl膜16を配線する。なお図1(d)においては領域の区分の混乱をさけるため一部領域の斜線を省略した。

## 【0011】

【発明の効果】以上説明したように本発明は、コンデンサ領域を形成する為のみのフォトリソグラフィによる一連の工程を不要としている。即ち、コンデンサを、バイポーラトランジスタの集積回路内における他の素子の形成と同時に形成しているので、その分、工程数削減、コスト低減、及び製造工期短縮という効果を有する。

## 【図面の簡単な説明】

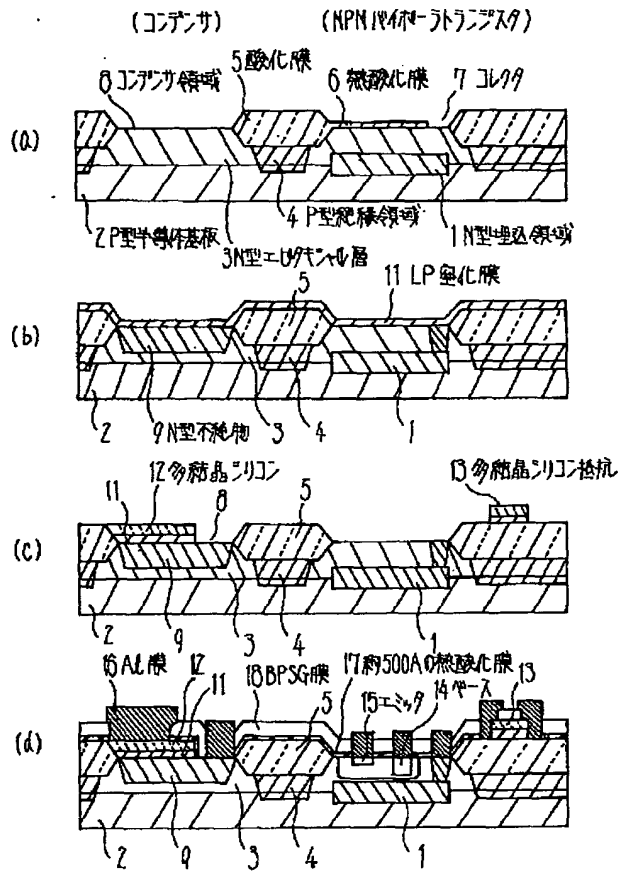
【図1】本発明の一実施例を説明するために工程順に示した半導体素子の断面図である。

【図2】従来のコンデンサ素子を有する半導体装置の製造方法を説明するために工程順に示した半導体素子の断面図である。

## 【符号の説明】

- |    |    |            |
|----|----|------------|
| 30 | 1  | N型埋込領域     |
|    | 2  | P型半導体基板    |
|    | 3  | N型エピタキシャル層 |
|    | 4  | P型絶縁領域     |
|    | 5  | 酸化膜        |
|    | 6  | 熱酸化膜       |
|    | 7  | コレクタ       |
|    | 8  | コンデンサ領域    |
|    | 9  | N型不純物      |
|    | 10 | 約100nmの酸化膜 |
| 40 | 11 | LP窒化膜      |
|    | 12 | 多結晶シリコン    |
|    | 13 | 多結晶シリコン抵抗  |
|    | 14 | ベース        |
|    | 15 | エミッタ       |
|    | 16 | Al膜        |
|    | 17 | 約50nmの熱酸化膜 |
|    | 18 | BPSG膜      |

【図1】



【図2】

